

N an PTO 892. *[Signature]*

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-288515

(43) 公開日 平成8年(1996)11月1日

| (51) Int.Cl. ⁶ | 識別記号 | 片内整理番号 | F I | 技術表示箇所 |
|---------------------------|------|--------|---------------|---------|
| H 0 1 L 29/786 | | | H 0 1 L 29/78 | 6 2 7 G |
| 21/336 | | | 21/20 | |
| 21/20 | | | 27/12 | P |
| 27/12 | | | 29/78 | 6 1 6 T |

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願平7-84373

(22) 出願日 平成7年(1995)4月10日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 岩崎 康範

大阪府大阪市阿倍野区長池町22番22号 シ

ャープ株式会社内

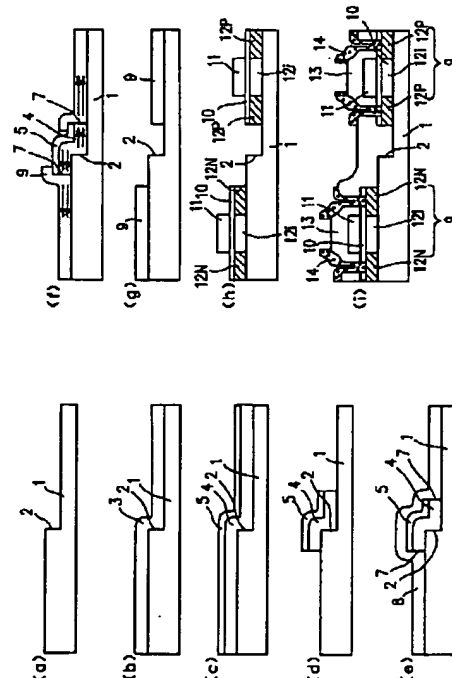
(74) 代理人 弁理士 山本 秀策

(54) 【発明の名称】 多結晶シリコン膜の形成方法および薄膜トランジスタの製造方法

(57) 【要約】

【目的】 絶縁性基板上に結晶粒界の位置を制御すると共に個々の結晶粒の配向性を揃えて大粒径の多結晶シリコン膜を形成し、チャネル領域の電流経路に結晶粒界が殆ど存在しないTFTを再現性良く製造する。

【構成】 段差2が形成された絶縁性基板1上に第1の非晶質シリコン膜3を形成し熱処理すると、段差側面7に対し垂直方向に配向性の揃った第1の多結晶シリコン膜4が得られる。これを段差の上の部分を含む領域を残しパターニングする。その上に第2の非晶質シリコン膜8を形成し、第1の多結晶シリコン膜4をシードとして固相結晶化すると、配向性と結晶粒界の位置とが制御された大粒径の第2の多結晶シリコン膜9が得られる。段差の側面に対して垂直な方向が電流経路となるようにチャネル領域12iを形成すると、電流経路とエピタキシャル成長方向とが一致する。



1

【特許請求の範囲】

【請求項1】 絶縁性基板の表面に段差を形成する工程と、

該段差を有する基板上に第1の非晶質シリコン膜を形成する工程と、

該第1の非晶質シリコン膜に熱処理を施して第1の多結晶シリコン膜とする工程と、

該段差部分を含む領域を残して該第1の多結晶シリコン膜をパターニングする工程と、

パターニングされた第1の多結晶シリコン膜の上に第2の非晶質シリコン膜を形成する工程と、

熱処理を施すことにより、該第1の多結晶シリコン膜の表面をシードとして第2の非晶質シリコン膜を多結晶化して第2の多結晶シリコン膜とする工程とを含む多結晶シリコン膜の形成方法。

【請求項2】 パターニング前の前記第1の多結晶シリコン膜上に絶縁膜を形成し、その後、前記段差部分を含む領域を残して絶縁膜及び該第1の多結晶シリコン膜をパターニングし、パターニングされた該絶縁膜及び該第1の多結晶シリコン膜の積層膜上に第2の非晶質シリコン膜を形成する請求項1に記載の多結晶シリコン膜の形成方法。

【請求項3】 絶縁性基板の表面に段差を形成する工程と、

該段差を有する基板上に第1の非晶質シリコン膜を形成する工程と、

該第1の非晶質シリコン膜に熱処理を施して第1の多結晶シリコン膜とする工程と、

該段差の側壁部に該第1の多結晶シリコン膜を残す工程と、

残存する第1の多結晶シリコン膜を含む基板の上に第2の非晶質シリコン膜を形成する工程と、

熱処理を施すことにより、該第1の多結晶シリコン膜を表面をシードとして第2の非晶質シリコン膜を多結晶化して第2の多結晶シリコン膜とする工程とを含む多結晶シリコン膜の形成方法。

【請求項4】 請求項1、請求項2または請求項3で形成した第2の多結晶シリコン膜を用い、段差の側面に対して垂直な方向が電流経路となるようにチャンネル領域を形成する薄膜トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多結晶シリコン膜の形成方法および薄膜トランジスタ(TFT)の製造方法に関し、特に、アクティブマトリクス型液晶ディスプレイ(LCD)における絵素のスイッチング素子(液晶に印加する電圧をオン・オフするもの)やLCDパネルに周辺駆動回路を組み込んだドライバモノリシック方式のアクティブマトリクス型LCDの周辺駆動回路のトランジスタ、並びにRAMのメモリセル内の負荷素子等として

2

用いられるTFTに適した高品質な多結晶シリコン膜の製造方法およびTFTの製造方法に関する。

【0002】

【従来の技術】上述のアクティブマトリクス型液晶ディスプレイの画素スイッチング素子やドライバ素子、あるいはSRAMのメモリセル内の負荷素子等としては、多結晶シリコン膜からなるチャンネル領域を有するTFT(Poly-Si TFT)が用いられている。しかし、高性能なTFTを実現する上で、多結晶シリコン膜には以下の2つの問題がある。

【0003】第1の問題は、次のとおりである。多結晶シリコン膜の結晶粒界に存在する欠陥によって生じるポテンシャルバリアが電流障壁として働き、高移動度のTFTを実現する妨げとなる。これを防ぐためには電流経路に対して垂直な方向の結晶粒界の数を低減させなければならない。つまり、多結晶シリコン膜を形成する時に結晶粒界の位置を制御する必要があることである。

【0004】第2の問題は、TFT特性のバラツキを低減するためには、結晶粒界の位置を制御すると共に、個々の結晶粒においてTFTの電流経路方向の配向性を揃えることが必要であることである。

【0005】上記2つの問題を解決するために、以下の5つの方法が知られている。

【0006】第1の方法は、文献「T. ASANO, et al. Extend Abstract of the 1993 International Conference on Solid State Devices and Materials, Makuha-1993, pp999-1001」に記載されている方法である。なお、この第1の方法の説明に際して、第1の方法にて得られるTFTの断面図を図7(a)に、多結晶シリコン膜の上面図を図7(b)に、TFTの製造工程を図8(a)～(f)に示す。

【0007】第1の方法においては、まず、図8(a)に示すように、Si基板上に形成されたSiO₂膜(図示せず)をマスクとしてSi基板の表層を100nmエッチングし、マスクを除去することにより、段差を有するSi基板130を形成する。

【0008】次に、図8(b)に示すように、この状態の基板130を熱酸化することにより厚み100nmのSiO₂膜131を形成する。

【0009】続いて、図8(c)に示すように、電子ビーム蒸着法により厚み100nmの非晶質シリコン膜132を蒸着する。

【0010】その後、図8(d)に示すように、N₂雰囲気中、600℃で非晶質シリコン膜132を固相結晶化することにより多結晶シリコン膜133とする。このとき、段差付近の水平面上の非晶質シリコン膜は、段差の側面に対して垂直な方向に同じ配向性を持って3μm程度成長する。これは、段差付近の非晶質シリコン膜が

段差を核にして段差の側面に対して垂直な方向に成長し、段差の側面から $3\mu\text{m}$ 程度成長したところで、非晶質シリコン膜内に隣接して存在する他の核137からの成長面とぶつかってグレイン成長が止まるからである。この結果、図7(b)に示すように、その部分に結晶粒界が形成される。

【0011】次に、図8(e)に示すように、固体ソースからの熱拡散によりソース領域135aおよびドレイン領域135bを形成し、 1050°C の熱酸化により厚み 100nm のゲート絶縁膜134を形成する。その上に、ゲート電極136G、ソース電極136Sおよびドレイン電極136DをAlを用いて形成することにより、図7(a)に示すような $W/L=50\mu\text{m}/10\mu\text{m}$ 、 $t_{ox}=100\text{nm}$ のTFTを作製する。

【0012】第2の方法は、U-LPCVD法を用いたSi固相成長による方法である(小田信彦他、平成3年春季第38回物理学関係連合講演会予稿集 p.742 31p-X-12「U-LPCVD法を用いたSi固相成長」)。なお、この第2の方法により得られる多結晶シリコン膜の断面図を図9に、多結晶シリコン膜の形成工程を図10(a)~(d)に示す。

【0013】第2の方法による場合は、まず、図10(a)に示すように、Si(100)基板230上に厚み 100nm の絶縁膜231を堆積し、これを図10(b)に示すようにパターンニングする。

【0014】次に、図10(c)に示すように、絶縁膜231および基板230の露出部の上に、LPCVD法を用いて非晶質シリコン膜232を堆積する。このとき、温度は 490°C ~ 500°C とし、原料ガスは Si_2H_6 ガスを用いる。

【0015】その後、図10(d)に示すように、Si(100)基板230をシードとして非晶質シリコン膜232を、20時間の固相結晶化により多結晶化させて、多結晶シリコン膜233とする。このとき、図9に示すように、得られた多結晶シリコン膜233は、シードであるSi基板の配向性と同じ配向性を持って絶縁膜231の表面に対して平行な方向(横方向)に成長して行く。尚、 Si_2H_6 ガスを原料ガスとして非晶質シリコン膜を形成した場合には、 SiH_4 ガスを原料ガスとした場合に比べて3倍程度(約 $14\mu\text{m}$)のL-SPE(横方向固相エピタキシャル成長距離)が得られた。

【0016】第3の方法は、特開平2-143414号に開示された方法である。なお、この第3の方法による、多結晶シリコン膜の形成工程を図11(a)~(e)に示す。

【0017】第3の方法においては、まず、図11(a)に示すように、ガラス基板等の絶縁性基板229上に溝を形成する。

【0018】次に、図11(b)に示すように、厚み $0.1\mu\text{m}$ の非晶質シリコン膜332を堆積し、Siイ

オンを注入して(140keV 、 $6\times 10^{16}\text{cm}^{-2}$)、完全に非晶質化する。

【0019】続いて、図11(c)に示すように、 750°C で15時間の固相結晶化することにより、非晶質シリコン膜332を多結晶シリコン膜333とする。この時、溝の角の部分には、方向の揃った結晶が成長する。

【0020】その後、図11(d)に示すように、基板に垂直にSiイオンを注入し(80keV 、 $6\times 10^{16}\text{cm}^{-2}$)、非晶質化する。この時、溝の角の部分333aは、シードとして多結晶シリコンのまま残される。

【0021】次に、図11(e)に示すように、非晶質化したシリコン膜332aを 650°C で20時間固相結晶化することにより、多結晶シリコン膜333bとする。この時、溝の角の多結晶シリコン部分333aをシードとして、方向の揃った結晶が多結晶シリコン膜が成長する。

【0022】第4の方法は、特開平4-367217号に開示された方法である。この第4の方法においては、まず、石英基板をエッチングして2000オングストロームの段差を形成する。

【0023】次に、LPCVD法により多結晶シリコン膜を形成する。この時の原料ガスとしては SiH_4 を用い、流量は 50sccm 、圧力は 0.3torr 、温度は 620°C とする。

【0024】その後、Asイオン注入(150keV 、 $5\times 10^{15}\text{個}/\text{cm}^2$)を行って、多結晶シリコン膜を非晶質化する。このとき、段差部のエッジは他の部分よりも膜厚が厚いため、多結晶シリコンのまま残される。この部分をシードとして非晶質化したシリコン膜を多結晶化する。

【0025】第5の方法は、特開平4-367218号に開示された方法である。この第5の方法においては、まず、Si基板上に SiO_2 膜を4000オングストローム堆積して、その上にレジストパターンを形成し、エッチングにより SiO_2 膜に4000オングストロームの段差を形成する。

【0026】次に、LPCVD法により多結晶シリコン膜を形成する。この時の原料ガスとしては SiH_4 を用い、流量は 50sccm 、圧力は 0.3torr 、温度は 620°C とする。

【0027】その後、Asイオン注入(150keV 、 $5\times 10^{15}\text{個}/\text{cm}^2$)を行って、多結晶シリコン膜を非晶質化する。このとき、段差部のエッジは他の部分よりも膜厚が厚いため、多結晶シリコンのまま残される。

【0028】次に、非晶質化したシリコン膜を 650°C で1時間固相結晶化することにより、多結晶シリコン膜とする。この時、段差部のエッジに残された多結晶シリコン部分をシードとして横方向に結晶が起こり、方向の揃った結晶のみが大きく成長して粒径が大きくなる。よって、粒径が大きく、かつ粒界の方向の揃った多結晶シ

リコン膜が得られる。

【0029】

【発明が解決しようとする課題】上述のように、高性能なTFTを実現するためには、結晶粒界の位置を制御すると共に個々の結晶粒の配向性を揃えて、TFTの電流経路に結晶粒界が殆ど存在しない多結晶シリコン膜を得る必要がある。しかし、上述の第1～第5の方法では、以下のような問題がある。

【0030】第1の方法による場合では、非晶質シリコン膜が段差の側面に対して垂直な方向に配向性を持って多結晶化して行くが、その結晶粒径は段差より $3\mu\text{m}$ 程度である。従って、それ以上のゲート長のTFTを作製すると、チャネル領域に複数の結晶粒界が含まれることになり、電流経路に複数の結晶粒界が存在するので高移動度が実現できない。また、結晶粒径よりも小さい、 $3\mu\text{m}$ 以下のゲート長のTFTを作製すると、短チャネル効果、つまりスレッショルド電圧(V_{th})の低下、大きいバラツキ、ソースドレイン間の耐圧が低下することが顕著になって、実用的なTFT特性が得られない。

【0031】第2の方法では、横方向に約 $14\mu\text{m}$ と大きな結晶粒径が得られるが、シードとしてSi基板を用いているため、原理的に、絶縁性基板上に結晶粒界をコントロールして多結晶シリコン膜を形成することができない。

【0032】第3の方法では、図12(a)に示すように、シードとして残す部分においてSiイオンが到達する距離がまちまちなになる。このため、図12(b)に示すように、非晶質シリコンと多結晶シリコンとが混在する領域(Bから下の部分)が形成されて、非晶質シリコン部分(A～B)とシードとして残す多結晶シリコン部分(A'から上の部分)との境界Cを明確にできない。従って、残された多結晶シリコン部分をシードとして非晶質シリコン膜を多結晶化する時に、方向の揃った多結晶シリコン膜が成長しにくい。また、イオン注入のエネルギーの大小によってはシードが無くなってしまったり、余分な部分が残されるおそれがあり、シードの制御が困難である。

【0033】第4および第5の方法では、シードとして多結晶シリコン膜を堆積したものをを用いているので、シードの粒径が約 $0.05\mu\text{m}$ 程度と小さい。また、非晶質シリコン膜を再結晶化する時、シードである多結晶シリコン部分と同じ配向性を持って成長して行くので、シード部の多結晶シリコンの配向性を制御する必要がある。さらに、Asを高濃度でイオン注入しているため、nondopeの多結晶シリコン膜が形成できず、TFTに用いるには不向きである。

【0034】本発明は、このような従来技術の課題を解決すべくなされたものであり、絶縁性基板上に結晶粒界の位置を制御すると共に個々の結晶粒の配向性を揃えて大粒径の多結晶シリコン膜を形成し、チャネル領域の電

流経路に結晶粒界が殆ど存在しないTFTを再現性良く製造できる多結晶シリコン膜の形成方法およびTFTの製造方法を提供することを目的とする。

【0035】

【課題を解決するための手段】本発明の多結晶シリコン膜の形成方法は、絶縁性基板の表面に段差を形成する工程と、該段差を有する基板上に第1の非晶質シリコン膜を形成する工程と、該第1の非晶質シリコン膜に熱処理を施して第1の多結晶シリコン膜とする工程と、該段差部分を含む領域を残して該第1の多結晶シリコン膜をパターンニングする工程と、パターンニングされた第1の多結晶シリコン膜の上に第2の非晶質シリコン膜を形成する工程と、熱処理を施すことにより、該第1の多結晶シリコン膜の表面をシードとして第2の非晶質シリコン膜を多結晶化して第2の多結晶シリコン膜とする工程とを含み、そのことにより上記目的が達成される。

【0036】本発明の多結晶シリコン膜の形成方法において、パターンニング前の前記第1の多結晶シリコン膜上に絶縁膜を形成し、その後、前記段差部分を含む領域を残して絶縁膜及び該第1の多結晶シリコン膜をパターンニングし、パターンニングされた該絶縁膜及び該第1の多結晶シリコン膜の積層膜上に第2の非晶質シリコン膜を形成するようにしてもよい。

【0037】本発明の多結晶シリコン膜の形成方法は、絶縁性基板の表面に段差を形成する工程と、該段差を有する基板上に第1の非晶質シリコン膜を形成する工程と、該第1の非晶質シリコン膜に熱処理を施して第1の多結晶シリコン膜とする工程と、該段差の側壁部に該第1の多結晶シリコン膜を残す工程と、残存する第1の多結晶シリコン膜を含む基板の上に第2の非晶質シリコン膜を形成する工程と、熱処理を施すことにより、該第1の多結晶シリコン膜を表面をシードとして第2の非晶質シリコン膜を多結晶化して第2の多結晶シリコン膜とする工程とを含み、そのことにより上記目的が達成される。

【0038】本発明の薄膜トランジスタの製造方法は、本発明の多結晶シリコン膜の形成方法により形成した第2の多結晶シリコン膜を用い、段差の側面に対して垂直な方向が電流経路となるようにチャネル領域を形成し、そのことにより上記目的が達成される。

【0039】

【作用】段差が形成された絶縁性基板上に第1の非晶質シリコン膜を形成し、これを熱処理により固相結晶化させると、段差を起点として段差側面に対して垂直な方向に配向性の揃った第1の多結晶シリコン膜が得られる。この第1の多結晶シリコン膜は、基板上に多結晶シリコン膜を堆積した場合(約 $0.05\mu\text{m}$)に比べて大粒径(約 $3\mu\text{m}$)にすることができる。

【0040】この第1の多結晶シリコン膜を、配向性の揃った領域(段差部およびその周辺領域、もしくは側壁

部)を残してパターニングする。その上に第2の非晶質シリコン膜を形成して熱処理すると、第1の多結晶シリコン膜の側面をシードとして第2の非晶質シリコン膜が横方向にエピタキシャル成長する。よって、大粒径の多結晶シリコン膜を、配向性と結晶粒界の位置とを制御して得ることができる。

【0041】段差の側面に対して垂直な方向が電流経路となるように、第2の多結晶シリコン膜からチャネル領域を形成すると、電流経路とエピタキシャル成長方向(横方向)とが一致するので、電流経路の方向に結晶粒界が殆ど無く、個々の結晶粒の配向性の揃ったチャネル領域とすることができる。

【0042】パターニング前の第1の多結晶シリコン膜上に絶縁膜を形成して、第1の多結晶シリコン膜とその絶縁膜とを同時にパターニングすると、第1の多結晶シリコン膜の上面が覆われるので、側面の横方向の配向性の影響のみが得られて、垂直方向の配向性の影響を受けない。

【0043】

【実施例】以下、本発明の実施例について、図面を参照しながら説明する。

【0044】(実施例1)図1(i)に、本実施例で得られるTFTの断面図を示す。これらのTFTは、段差2が形成された絶縁性基板1の段差上面および下面に、チャネル領域12i、リングドープされたソース領域12Nとドレイン領域12N、またはボロンがドープされたソース領域12Pとドレイン領域12Pを有する第2の多結晶シリコン膜9が形成され、その上にゲート絶縁膜10が形成されている。ゲート絶縁膜10の上には、チャネル領域12iと対向するようにゲート電極11が形成され、その上を覆って層間絶縁膜13が形成されている。さらにその上にソース電極14およびドレイン電極14が形成され、ゲート絶縁膜10および層間絶縁膜13に形成されたコンタクトホール部においてソース領域12N、12Pおよびドレイン領域12N、12Pと電気的に接続されている。

【0045】多結晶シリコン膜9は、図2(a)および(b)に示すように、段差2の側面に対して垂直な方向に配向性が揃った状態で結晶成長されている。チャネル領域12iは、段差の側面2に対して垂直な方向が電流経路となるように形成されているので、電流経路の方向には結晶粒界が殆ど無い。

【0046】これらのTFTは、以下のようにして作製することができる。

【0047】まず、図1(a)に示すように、ガラスや石英等からなる絶縁性基板1をエッチングすることにより段差2を形成する。この段差2の深さは、後述する第1の非晶質シリコン膜3の膜厚および第2の非晶質シリコン膜8の膜厚と同程度であるのが望ましい。このように段差2と第1の非晶質シリコン膜3の膜厚および第2

の非晶質シリコン膜8の膜厚とがほぼ同じであると、段差部における横方向の結晶配向性を最も揃えることができる。これは、段差の側面を起点として第1の非晶質シリコン膜3の多結晶化が起こり、第1の多結晶シリコン膜4のパターニングされた側面をシードとして第2の非晶質シリコン膜8の多結晶化が起こるからである。また、段差2の深さは50~500nm程度であるのが望ましい。これは、膜厚が500nmを超える多結晶シリコン膜をTFTのチャネル領域12iとして用いるとリーク電流が増加し、膜厚が50nm未満であると非晶質シリコン膜を多結晶化する時にグレインがあまり大きく成長しないからである。この実施例では、段差2の深さを100nmに形成した。

【0048】次に、図1(b)に示すように、LPCVD法により段差2の深さと同程度の膜厚の第1の非晶質シリコン膜3を堆積する。非晶質シリコン膜を堆積する時、 Si_2H_6 ガスを原料ガスとすると、 SiH_4 ガスを原料ガスとした場合に比べて固相結晶化グレインが大きく成長でき、本発明の製造方法によれば $\sim 3\mu\text{m}$ 以上のグレイン成長が期待できる。堆積温度は400~550℃が望ましい。温度が低すぎると反応が起こらず、高すぎると多結晶化が起こって非晶質シリコン膜が得られない。この実施例では、原料ガスとして Si_2H_6 ガスを用い、温度500℃、圧力25Paで厚み100nmの非晶質シリコン膜を堆積した。

【0049】この第1の非晶質シリコン膜3を N_2 雰囲気下、固相結晶化法によりアニールして、第1の多結晶シリコン膜4とする。この N_2 アニールは600~700℃で行うのが望ましい。結晶化温度が低すぎると結晶化が起こらず、高すぎると結晶化速度は速くなるがグレインサイズがあまり大きくならない。結晶化時間は6h(h:時間)以上であればよいが、十分に結晶化するためには18~24hが望ましい。この実施例では、600℃で24hのアニールを行った。多結晶化の際のアニール法としては、エキシマレーザー、Arイオンレーザー等を用いたレーザーアニールやハロゲンランプの加熱による短時間アニール等を用いてもよい。このアニールにより、段差部とその周辺領域では、段差を起点として段差の側面に対して垂直な方向に配向性の揃った第1の多結晶シリコン膜4が成長する。

【0050】続いて、図1(c)に示すように、第1の多結晶シリコン膜4上に絶縁膜5を堆積し、図1(d)に示すように、第1の多結晶シリコン膜4と絶縁膜5とを、段差部とその周辺を残してパターニングする。ここで、第1の多結晶シリコン膜4は、段差から3μm程度、配向性が揃った状態で成長するので、シードとして残す段差部とその周辺は、段差の片側で2~4程度、両側で4~8程度残すのが望ましい。この実施例では、片側で2μm、両側で4μm残してパターニングを行った。絶縁膜5の形成は省略することもできるが、後述す

る第2の非晶質シリコン膜8の多結晶化の際に、第1の多結晶シリコン膜4の上面からの垂直方向の配向性の影響を抑えて側面からの横方向の配向性の影響のみを受けることができるので、形成するのが望ましい。この実施例では、厚み40nm程度以上のSiO₂からなる絶縁膜5をCVD法により堆積した。

【0051】その後、図1(e)に示すように、第2の非晶質シリコン膜8を堆積する。堆積条件は第1の非晶質シリコン膜3と同様の範囲が望ましい。この実施例では、第1の非晶質シリコン膜3と同じ条件で厚み100nmの非晶質シリコン膜を堆積した。

【0052】次に、図1(f)に示すように、段差2を含む領域の第2の非晶質シリコン膜8をエッチングする。続いて、この第2の非晶質シリコン膜8を、第1の多結晶シリコン膜4の露出した側面をシードとしてN₂雰囲気下、固相結晶化法によりアニールして、第2の多結晶シリコン膜9とする。上述のように第2の非晶質シリコン膜8をエッチングするのは以下の通りである。エッチングしない場合は、絶縁膜5の上の第2の非晶質シリコン膜8は、シードの影響を受けず、配向の揃わない第2の多結晶シリコン膜9が成長すると思われ、その成長過程で他の部分にあまり良い影響を与えない。一方、エッチングした場合は、絶縁膜5の上の第2の非晶質シリコン膜8の結晶化が、下地の第1の多結晶シリコン膜4の影響を受けることなく、段差2の側面からのエピタキシャル成長のみが起こり、横方向の配向性が良好となるからである。このアニール条件は第1の非晶質シリコン膜3と同様の範囲が望ましい。この実施例では、600℃で24hのアニールを行った。多結晶化の際のアニール法としては、エキシマレーザー、Arイオンレーザー等を用いたレーザーアニールやハロゲンランプの加熱による短時間アニール等を用いてもよい。このアニールにより、第2の非晶質シリコン膜8は、第1の多結晶シリコン膜4の露出した側面(シード)と同じ配向性を持って横方向にエピタキシャル成長する。つまり、図2(a)および図2(b)に示すように、電流経路の方向(段差2の側面に対して垂直な方向)に結晶粒界が存在しない大粒径(〜10μm以上)の第2の多結晶シリコン膜9が得られる。

【0053】続いて、図1(g)に示すように、第2の多結晶シリコン膜9を島状にパターニングし、その上に、図1(h)に示すように、CVD法により厚み50nmのSiO₂からなるゲート絶縁膜10を堆積する。ゲート絶縁膜10は、多結晶シリコン膜の酸化により形成してもよい。その上には、ゲート電極11を形成する。その後、イオン注入法により、ゲート電極10をマスクとして第2の多結晶シリコン膜9に不純物(NチャネルTFTにはリン、PチャネルTFTにはボロン)を注入してソース領域12N、12Pおよびドレイン領域12N、12Pを形成する。ゲート電極10によりマス

クされて不純物が注入されない領域は、チャネル領域12iとなる。

【0054】次に、CVD法により厚み500nmのSiO₂からなる層間絶縁膜13を堆積し、注入した不純物の活性化のために950℃、30分程度の熱処理を施す。

【0055】最後に、ゲート絶縁膜10および層間絶縁膜13にコンタクトホールを形成し、その上にAl等によりソース電極14およびドレイン電極14を形成してソース領域12Pおよびドレイン領域12Pと電気的に接続させて図1(i)に示すようなTFTを完成する。

【0056】(実施例2)図3(j)に、本実施例で得られるTFTの断面図を示す。これらのTFTは、段差17が形成された絶縁性基板16の凹部に、チャネル領域26iとリングがドーパされたソース領域26Nとドレイン領域26Nとを有する第2の多結晶シリコン膜22、およびチャネル領域27iとボロンがドーパされたソース領域27Pとドレイン領域27Pとを有する第2の多結晶シリコン膜22が形成され、その上にゲート絶縁膜24が形成されている。ゲート絶縁膜24の上には、チャネル領域26i、27iと対向するようにゲート電極25が形成され、その上を覆って層間絶縁膜28が形成されている。さらにその上にソース電極29およびドレイン電極29が形成され、ゲート絶縁膜25および層間絶縁膜28に形成されたコンタクトホール部30においてソース領域26N、27Pおよびドレイン領域26N、27Pと電気的に接続されている。

【0057】多結晶シリコン膜22は、図3(f)および図3(g)に示すように、段差17の側面に対して垂直な方向に配向性が揃った状態で結晶成長されている。チャネル領域26iおよび27iは、段差17の側面に対して垂直な方向が電流経路となるように形成されているので、電流経路の方向には結晶粒界が殆ど無い。

【0058】これらのTFTは、以下のようにして作製することができる。

【0059】まず、図3(a)に示すように、石英等からなる絶縁性基板16をエッチングすることにより上面から見たサイズが30μm×100μmの凹部を形成して100nmの段差17を設ける。この段差17の深さは、実施例1と同様に後述する第1の非晶質シリコン膜18および第2の非晶質シリコン膜21の膜厚と同程度であるのが望ましく、具体的には50nm〜500nmであるのが望ましい。

【0060】次に、図3(b)に示すように、Si₂H₆ガスを原料ガスとしてLPCVD法により温度500℃、圧力25Paで厚み50nmの第1の非晶質シリコン膜18を堆積し、N₂雰囲気下、固相結晶化法により600℃で24hアニールして、第1の多結晶シリコン膜を形成する。この時の堆積条件およびアニール条件は実施例1と同様の範囲であるのが望ましい。また、多結

11

晶化の際のアニール法としては、エキシマレーザー、Arイオンレーザー等を用いたレーザーアニールやハロゲンランプの加熱による短時間アニール等を用いてもよい。

【0061】続いて、図3(c)に示すように、第1の多結晶シリコン膜を段差の側壁部のみを残してエッチングし、サイドウォール20を形成する。このエッチングには異方性のドライエッチング法を用いる。このサイドウォール20の多結晶シリコンの結晶配向性は、段差17の側面に対して垂直な方向、つまり絶縁性基板16に対して平行に〈111〉の配向性を有する。サイドウォール20の段差17の側面からの厚みは、段差の1/2以下であるのが好ましい。このようにサイドウォール20の厚みを段差の1/2以下にするのは、以下の理由による。通常、サイドウォール20の厚みは、第1の多結晶シリコン膜の厚みにほぼ等しい。また、サイドウォール20の部分は、図4(a)に示すように、配向性の違うA領域とB領域とからなる。A領域の配向方向は横方向であり、B領域の配向方向は縦方向である。このとき、第1の多結晶シリコン膜が段差の1/2以下である、図4(a)の場合には、配向方向が横方向であるA領域をB領域よりも大きくできる。一方、段差の1/2を越える図4(b)の場合には、配向方向が横方向であるA'領域が、配向方向が縦方向であるB'領域よりも小さくなり、横方向へのエピタキシャル成長が抑制される。よって、横方向へエピタキシャル成長させるためのシードとしては、段差の1/2以下にするのが適当と考えられるからである。尚、サイドウォール20を形成する際に、直接多結晶シリコン膜を堆積すると、膜表面の凹凸が大きくなるので好ましくない。

【0062】その後、図3(d)に示すように、Si₂H₆ガスを原料ガスとしてLPCVD法により温度500℃、圧力25Paで厚み100nmの第2の非晶質シリコン膜21を堆積し、図3(e)に示すように、サイドウォール20をシードとしてN₂雰囲気下、固相結晶化法により600℃で24hアニールして、第2の多結晶シリコン膜22とする。この時の堆積条件およびアニール条件は第1の非晶質シリコン膜18と同様の範囲が望ましい。多結晶化の際のアニール法としては、エキシマレーザー、Arイオンレーザー等を用いたレーザーアニールやハロゲンランプの加熱による短時間アニール等を用いてもよい。このアニールにより、第2の非晶質シリコン膜21は、サイドウォール20と同じ配向性を持って、つまり絶縁性基板16に対して平行に〈111〉の配向性を有して成長する。この時、図3(f)および図3(g)に示すように、凹部のそれぞれの段差17から成長してきた結晶同士が段差の中間でぶつかって結晶粒界23が形成されるので、この結晶粒界23を含まないように、TFETのチャネル領域を形成するパターニングを行うのが望ましい。図3(g)は図3(f)におけ

12

るa-a'線の断面図である。

【0063】続いて、図3(h)に示すように、第2の多結晶シリコン膜22を島状にパターニングする。その後は、実施例1と同様にして図3(i)に示すようなTFETを作製する。

【0064】なお、図3(a)に示す凹部のサイズ(30μm×100μm)は一例であり、作製予定のTFETのサイズに応じて決定される。図13に、TFETのゲート長Lおよびゲート幅Wと、凹部の一辺xの長さX及び他の一辺yの長さYとの関係を示す。図13(a)は凹部において第2の多結晶シリコン膜を成長させたときの平面図であり、図13(b)はその成長した第2の多結晶シリコン膜を用いてTFETを作製したときの平面図である。図13(b)に示すように、TFETの電流経路に結晶粒界が存在しないか、或は存在しにくくするためには、図13(a)に示すように凹部のXおよびYの寸法を少なくとも、 $X > 2L$ 、 $Y > W$ とする必要である。更に、好ましくは、 $X > 2L$ 、 $Y > W + y_1$ とする。このようにすると、TFETの電流経路に結晶粒界が全く存在しないようにできる。なお、上記y₁は、図13(a)に示すように凹部の隅から各辺に斜めに形成された結晶粒界の辺yに沿った方向の長さである。本実施例では、 $L = 10\mu\text{m}$ 程度、 $W = 50\mu\text{m}$ 程度とすべく、上述のように凹部のサイズを30μm×100μmとしている。

【0065】(実施例3)図5(b)に、本実施例で得られるTFETの断面図を示す。これらのTFETは、段差42が形成された絶縁性基板41の凹部に、チャネル領域49iとリングドープされたソース領域49Nとドレイン領域49Nとを有する第2の多結晶シリコン膜46、およびチャネル領域49iとボロンがドープされたソース領域49Pとドレイン領域49Pとを有する第2の多結晶シリコン膜46が形成され、その上にゲート絶縁膜47が形成されている。ゲート絶縁膜47の上には、チャネル領域49iと対向するようにゲート電極48が形成され、その上を覆って層間絶縁膜50が形成されている。さらにその上にソース電極51およびドレイン電極51が形成され、ゲート絶縁膜47および層間絶縁膜50に形成されたコンタクトホール部52においてソース領域49N、49Pおよびドレイン領域49N、49Pと電気的に接続されている。

【0066】第2の多結晶シリコン膜46は、図5(a)に示すように、段差42の側面に対して垂直な方向に配向性が揃った状態で結晶成長されている。チャネル領域49iは、段差42の側面に対して垂直な方向が電流経路となるように形成されているので、電流経路の方向には結晶粒界が殆ど無い。

【0067】このような第2の多結晶シリコン膜46は、図5(a)に示すように、段差42およびその周辺で段差42の側面に対して垂直な方向に結晶成長してい

る第1の多結晶シリコン膜43の側面45をシードとして、その上に形成された第2の非晶質シリコン膜をアニールすることにより得られる。この時、第1の多結晶シリコン膜43の上には、側面のみを露出するように絶縁膜44を形成しておくのが望ましい。

【0068】(実施例4)図6(b)に、本実施例で得られるTFTの断面図を示す。これらのTFTは、段差54が形成された絶縁性基板53の凸部に、チャネル領域61iとリンがドーパされたソース領域61Nとドレイン領域61Pとを有する第2の多結晶シリコン膜58、およびチャネル領域61iとボロンがドーパされたソース領域61Pとドレイン領域61Pとを有する第2の多結晶シリコン膜58が形成され、その上にゲート絶縁膜59が形成されている。ゲート絶縁膜59の上には、チャネル領域61iと対向するようにゲート電極60が形成され、その上を覆って層間絶縁膜62が形成されている。さらにその上にソース電極63およびドレイン電極63が形成され、ゲート絶縁膜59および層間絶縁膜62に形成されたコンタクトホール部64においてソース領域61N、61Pおよびドレイン領域61N、61Pと電氣的に接続されている。

【0069】第2の多結晶シリコン膜58は、図6

* (a)に示すように、段差54の側面に対して垂直な方向に配向性が揃った状態で結晶成長されている。チャネル領域61iは、段差54の側面に対して垂直な方向が電流経路となるように形成されているので、電流経路の方向には結晶粒界が殆ど無い。

【0070】このような第2の多結晶シリコン膜58は、図6(a)に示すように、段差54およびその周辺で段差54の側面に対して垂直な方向に結晶成長している第1の多結晶シリコン膜55の側面57をシードとして、その上に形成された第2の非晶質シリコン膜をアニールすることにより得られる。この時、第1の多結晶シリコン膜55の上には、側面のみを露出するように絶縁膜56を形成しておくのが望ましい。

【0071】実施例1、実施例3および実施例4から理解されるように、第1の多結晶シリコン膜の段差部およびその周辺を残してシードとした場合には、凹部の底面または凸部の上面のいずれにもTFTが作製できる。

【0072】ここで、各実施例の効果の違いにつき、シードのコントロール性、レイアウト(デザイン)の自由度および生産性に関して表1にまとめた。

【0073】

* 【表1】

| | シードのコントロール性 | レイアウト(デザイン)の自由度 | 生産性 |
|------|--|--|--|
| 実施例1 | 絶縁膜を堆積しシードの側面のみを露出しているためシードの長さをコントロールできる。 ① | 段差1つに対して2つのTFTを作製できるため(段差の上下)デザインのことも余裕がある。 ① | 絶縁膜をシードの上に堆積するため生産性は低下する。 ② |
| 実施例2 | シードの異方性ドライエッチで作製するため実施例1よりもコントロール性は劣る。 ② | 段差1つに対して1つのTFTしか作製できない(段差の下のみ)のでデザインの厳しくなる。平坦化については実施例3と同じ。 ③ | シードを作製する工程で絶縁膜を堆積しなくてもよいので工程が短縮される。 ① |
| 実施例3 | 実施例2に同じ ② | 余裕は実施例1に劣るが段差の下にのみTFTを作製するため、層間絶縁膜等の平坦化は実施例1に比べて有利 ② | 実施例2に同じ ① |
| 実施例4 | 実施例1に同じ ① | 実施例3に同じ ③ | 実施例1に同じ ② |

○の数字は順位付け

【0074】①シードのコントロール性

実施例1、4については、図14(a)に示すように、シードの側面を露出させる。このため、例えば段差からの成長が短くてもその長さでフォトリソやエッチングすればシードとして利用できる。よって、一番安定したシードが得られる。これに対し、実施例2、3のシードの作製法は異方性のドライエッチングを用いるため、シ

※ドの厚みのコントロールが難しくなる。

【0075】②レイアウト(デザイン)の自由度

実施例1は図14(b)に示すように、段差1つに対して段差の上下にそれぞれTFTを作ることができる。よって、より接近してTFTを作製することができる。一方、他の実施例についてはTFT1つに対して段差が1つ必要であり、デザイン的に厳しくなる。しかし、図1

4(d)に示すようにTFTが同じ高さで作製されるため、層間絶縁膜の平坦化には、図14(c)に示す実施例1に比べて有利である。

【0076】③生産性

実施例1、4については、絶縁膜をシードの上に堆積するため、生産性は低下する。一方、実施例2、3については、シードを作製する工程で絶縁膜を堆積しなくてもよいので工程が短縮され、生産性に優れる。

【0077】

【発明の効果】以上の説明から明らかなように、本発明によれば、絶縁性基板上に、配向性と結晶粒界の位置とを制御して第2の多結晶シリコン膜を形成することができる。この第2の多結晶シリコン膜は大粒径のものが得られ、配向性の揃った領域に前記短チャネル効果の生じない実用的なゲート長のTFTを作製できる。

【0078】この第2の多結晶シリコン膜を用いて、段差の側面に対して垂直な方向が電流経路となるようにチャネル領域を形成すると、電流経路とエビタキシャル成長方向（横方向）とが一致するので、電流経路の方向に結晶粒界が殆ど無く、個々の結晶粒の配向性の揃ったチャネル領域とすることができる。このチャネル領域には電流障壁やリーク電流の原因となる欠陥が存在しないので、高移動度（ $Nch: 200$ 以上、 $Pch: 180$ 以上）で低リーク電流のTFTが実現できる。

【0079】シードとなる第1の多結晶シリコン膜は、段差の側面から成長方向が揃った段差部およびその周辺、または段差の側壁部を残せばよいので、シードの配向性制御および形成領域の制御が容易であり、再現性よく多結晶シリコン膜およびTFTを作製できる。

【0080】第1の多結晶シリコン膜の段差部およびその周辺を残す場合、パターニング前の第1の多結晶シリコン膜上に絶縁膜を形成して同時にパターニングすると、側面の横方向の配向性の影響のみが得られるので望ましい。

【図面の簡単な説明】

【図1】(a)～(i)は実施例1のTFTの製造工程を示す断面図である。

【図2】(a)は実施例1の多結晶シリコン膜の断面図であり、(b)は上面図である。

【図3】(a)～(g)および(h)～(j)は実施例2のTFTの製造工程を示す断面図であり、(f)は上面図である。

【図4】実施例2においてサイドウォールの厚みを段差の $1/2$ 以下とする理由を説明するための図であり、(a)はサイドウォールを形成するための第1の多結晶シリコン膜が薄い場合を示し、(b)は厚い場合を示す。

【図5】(a)は実施例3のTFTの断面図であり、(b)は実施例3の多結晶シリコン膜の形成工程を示す断面図である。

【図6】(a)は実施例4のTFTの断面図であり、(b)は実施例4の多結晶シリコン膜の形成工程を示す断面図である。

【図7】(a)は従来のTFTの断面図であり、(b)は多結晶シリコン膜の上面図である。

【図8】(a)～(e)は従来のTFTの製造工程を示す断面図である。

【図9】従来の多結晶シリコン膜の断面図である。

【図10】(a)～(d)は従来の多結晶シリコン膜の形成工程を示す断面図である。

【図11】(a)～(e)は従来の多結晶シリコン膜の形成工程を示す断面図である。

【図12】(a)は従来の多結晶シリコン膜の形成方法におけるイオン注入工程を示す断面図であり、(b)は深さ方向のイオン注入量の分布図である。

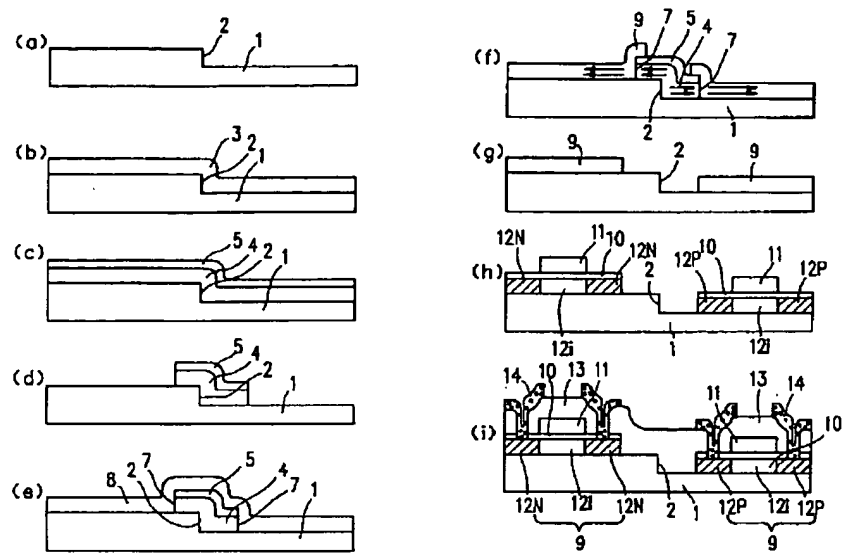
【図13】TFTのゲート長 L およびゲート幅 W と、凹部の一辺 x の長さ X 及び他の一辺 y の長さ Y との関係を示す図である。

【図14】(a)～(d)のそれぞれは、各実施例の効果の違いを説明するための図（断面図）である。

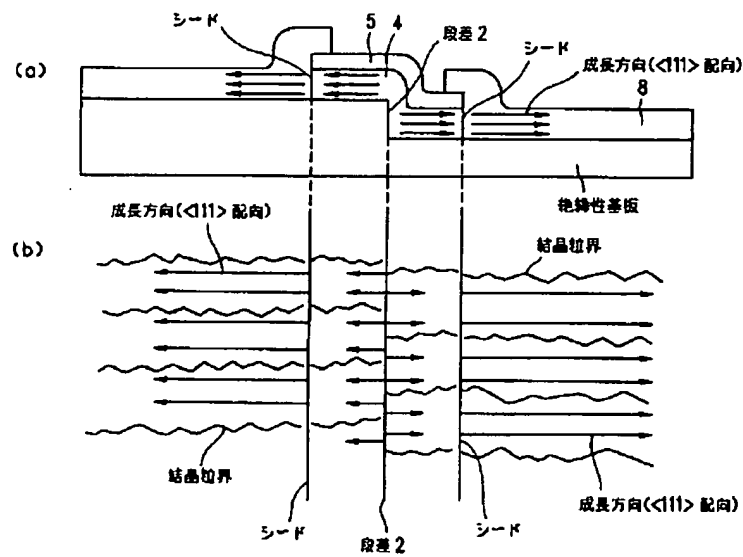
【符号の説明】

- 1、16、41、53 絶縁性基板
- 2、17、42、54 段差
- 3、18 第1の非晶質シリコン膜
- 4、43、55 第1の多結晶シリコン膜
- 5、44、56 絶縁膜
- 23 結晶粒界
- 7、45、57 シード
- 8、21 第2の非晶質シリコン膜
- 9、22、46、58 第2の多結晶シリコン膜
- 10、24、47、59 ゲート絶縁膜
- 11、25、48、60 ゲート電極
- 12i、26i、27i、49i、61i チャネル領域
- 12N、26N、49N、61N ソース領域およびドレイン領域（リンドープ）
- 12P、27P、49P、61P ソース領域およびドレイン領域（ボロンドープ）
- 13、28、50、62 層間絶縁膜
- 14、29、51、63 ソース電極またはドレイン電極
- 30、52、64 コンタクトホール部
- 20 サイドウォール（シード）

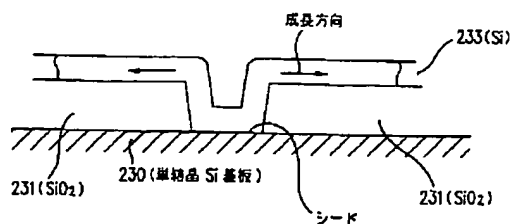
【図1】



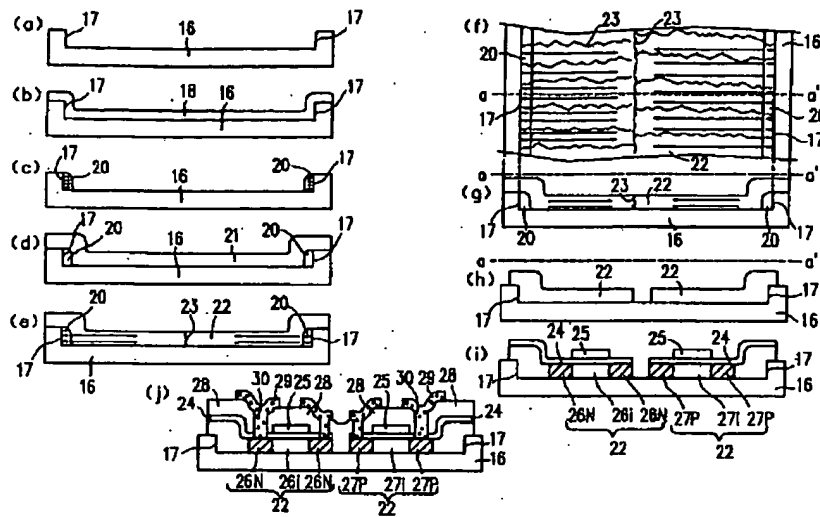
【図2】



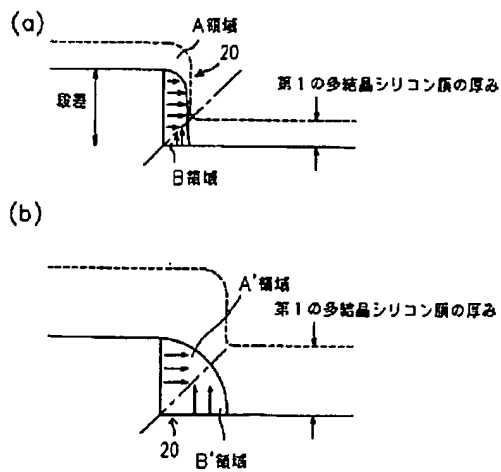
【図9】



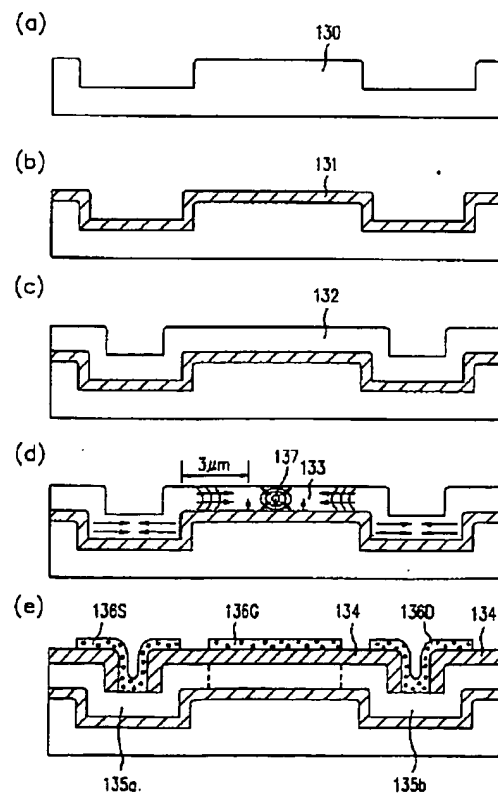
【図3】



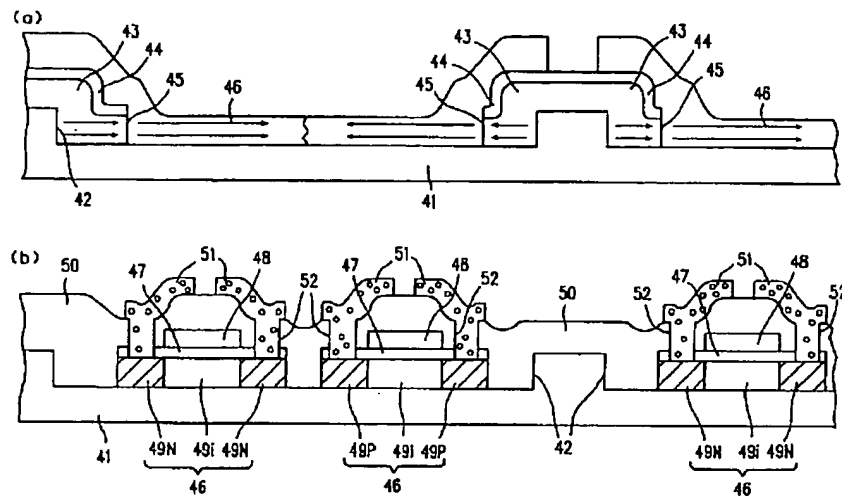
【図4】



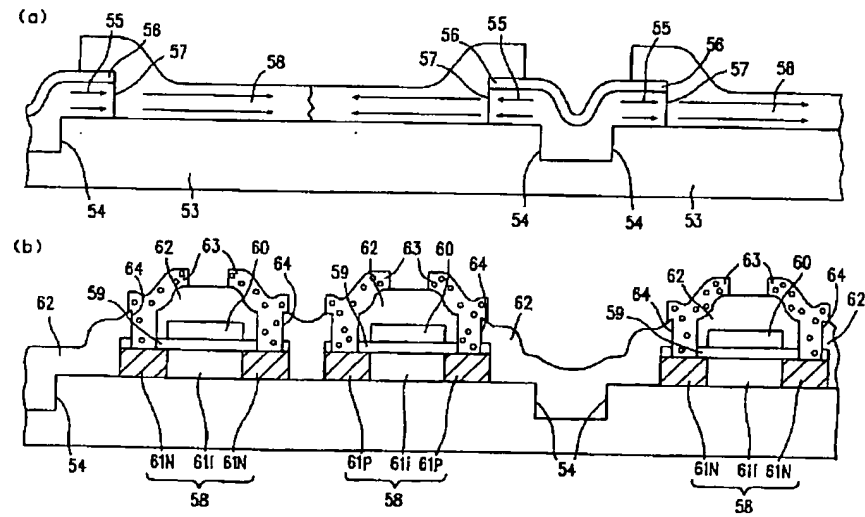
【図8】



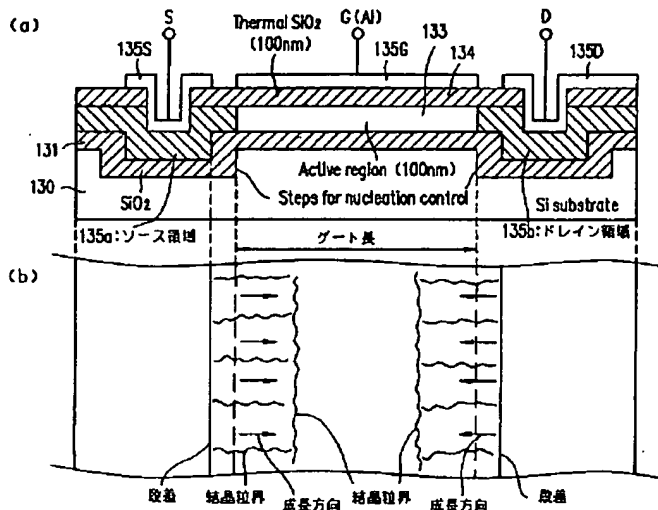
【図5】



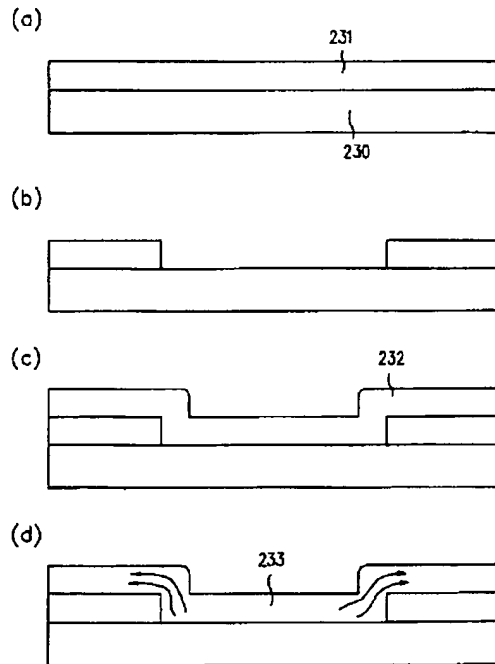
【図6】



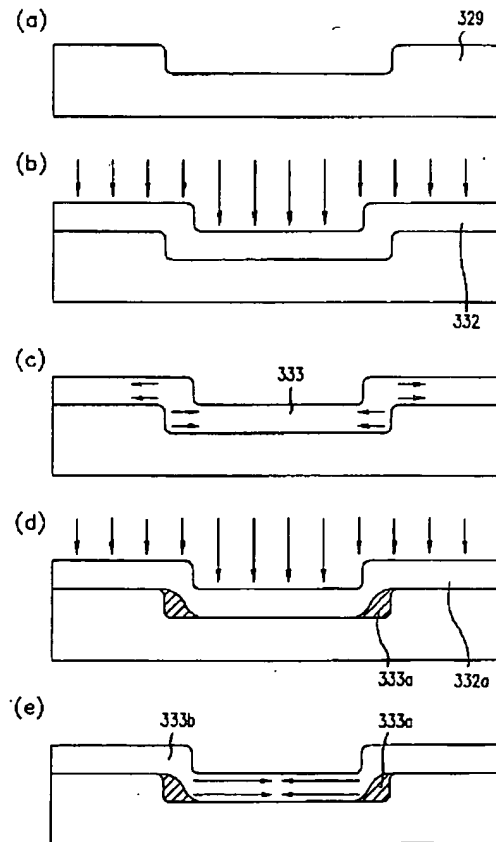
【図7】



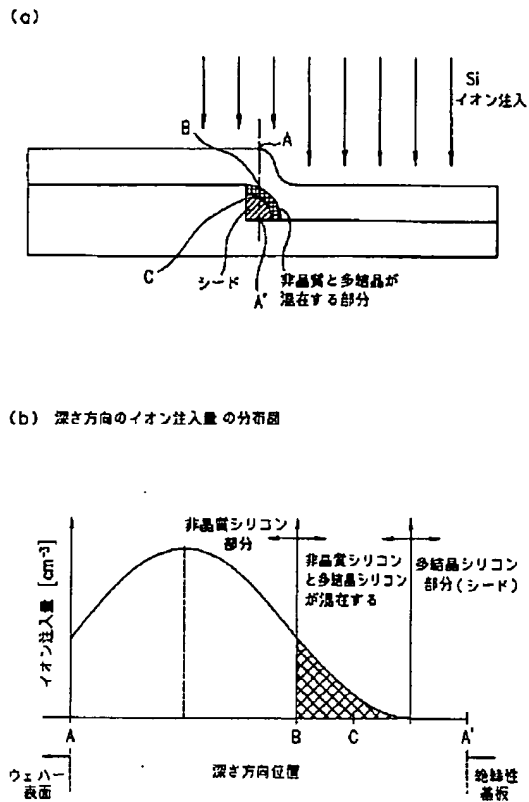
【図10】



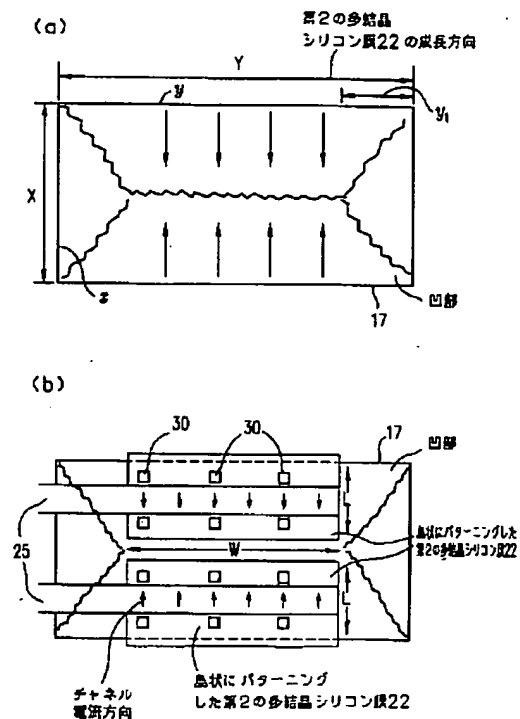
【図11】



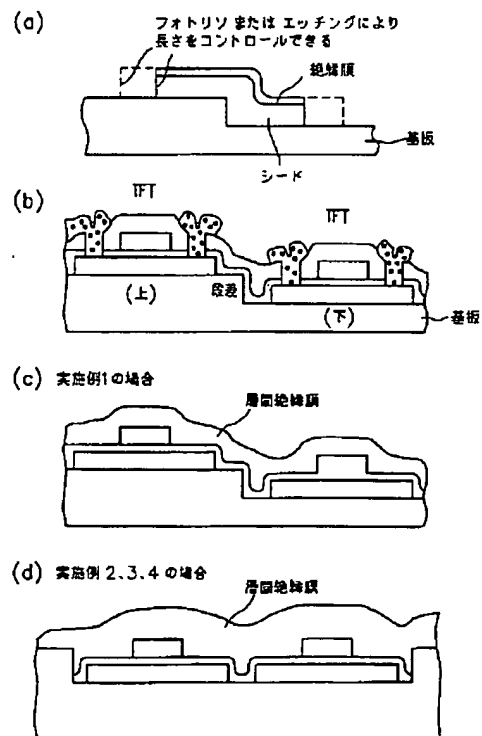
【図12】



【図13】



【図14】



PAT-NO: JP408288515A

DOCUMENT-IDENTIFIER: JP 08288515 A

TITLE: FORMING METHOD OF POLYCRYSTALLINE SILICON FILM AND
MANUFACTURING METHOD OF THIN FILM TRANSISTOR

PUBN-DATE: November 1, 1996

INVENTOR-INFORMATION:

NAME

IWASAKI, YASUNORI

INT-CL (IPC): H01L029/786, H01L021/336 , H01L021/20 , H01L027/12

ABSTRACT:

PURPOSE: To manufacture a TRFT almost free of crystalline grain boundary in the current path in a channel region with excellent reproducibility by controlling the position of crystalline grain boundary on an insulating substrate as well as arranging the orientation degree of individual crystalline grains to form polycrystalline silicon film in large grain diameter.

CONSTITUTION: The first polycrystalline silicon film 4 arranged with orientation degree in the vertical direction to the stepped part side 7 is obtained by forming the first amorphous silicon 3 film on an insulating substrate 1 formed of a stepped part 2 to be heat-treated. Next, the whole surface is patterned leaving the region containing the part above the stepped part 2. Next, the second amorphous silicon film 8 is formed on the pattern and the first polycrystalline silicon film 4 is used as a seed to solid crystallize so that the orientation degree and the position of crystalline grain boundary controlling the second polycrystalline silicon film 9 may be formed. Finally, when a channel region 12 is formed making the vertical direction to the side of the stepped part 2, a current path may coincide with the epitaxial growing direction.

COPYRIGHT: (C)1996,JPO